

(54) FREQUENCY DEVIATION DETECTING CIRCUIT

(11) 3-201835 (A) (43) 3.9.1991 (19) JP

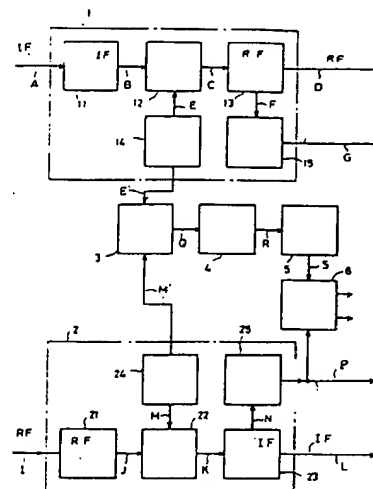
(21) Appl. No. 1-344435 (22) 28.12.1989

(71) FUJITSU LTD (72) TADASHI KAWADA

(51) Int. Cl.⁵. H04J1/00**Best Available Copy**

PURPOSE: To display frequency deviation as an alarm signal by detecting a differential oscillation frequency between first and second oscillators by a frequency mixer, calculating AND with a reception alarm and combining the output of the frequency mixer and the signal state of the reception alarm.

CONSTITUTION: When the frequency deviation is generated at a first or second oscillator 14 or 24 and there is the alarm for reception panel level reduction, such a state is judged as the frequency deviation of a reception panel. When the frequency deviation is generated at the first or second oscillator 14 or 24 and there is no alarm for reception panel level reduction, such a state is judged as the frequency deviation of a transmission panel. By such a judging method, it can be detected whether the frequency deviation is generated at the transmission panel or the reception panel.



1: transmission panel, 2: reception panel, 11: post-IF amplifier, 12,22: frequency converters, 13,21: RF amplifiers, 14,24: first and second oscillators, 15: transmission alarm circuit, 25: reception alarm circuit, 23: pre-Fe amplifier, 3: frequency mixer, 4: filter, 5: detector, 6: frequency alarm circuit, A: IF input, D: RF input, L: IF output, G: transmission alarm, (a): transmission frequency alarm, (b): reception frequency alarm, p: reception alarm

(54) FRAME SYNCHRONIZING SYSTEM

(11) 3-201836 (A) (43) 3.9.1991 (19) JP

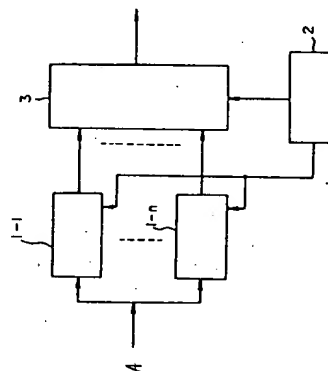
(21) Appl. No. 1-344116 (22) 28.12.1989

(71) FUJITSU LTD (72) KIMIYA OSAKI(1)

(51) Int. Cl.⁵. H04J3/06, H04L7/08

PURPOSE: To execute sufficient synchronizing protection and speedy resynchronizing restoration by setting plural front protecting steps in a frame synchronizing system to control the counting operation of a frame counter so that a frame synchronizing code can appear with a frame repeating cycle.

CONSTITUTION: When detecting out-of-synchronization at a synchronizing protection part in an active frame synchronizing circuit 1-1, an auxiliary frame synchronizing circuit 1-2 is selected to start a restarting operation earlier than the active frame synchronizing circuit 1-1. The number of front protecting steps in the auxiliary frame synchronizing circuit 1-1 is one and the number of front protecting steps in the active frame synchronizing circuit 1-1 is three. By switching a circuit to the auxiliary frame synchronizing circuit 1-2 after detecting the out-of-synchronization at the active frame synchronizing circuit 1-1, time can be shortened from a synchronizing state to resynchronization after the out-of-synchronization.



2: control part, 3: select part, 1-n: frame synchronizing circuit, A: received data

(54) DIGITAL CROSS CONNECTOR

(11) 3-201837 (A) (43) 3.9.1991 (19) JP

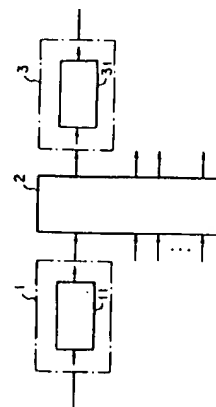
(21) Appl. No. 1-343465 (22) 28.12.1989

(71) FUJITSU LTD (72) KATSUICHI OHARA

(51) Int. Cl.⁵. H04J3/06, H04L7/00

PURPOSE: To add synchronizing information such as frame synchronizing signals, etc., to a virtual group signal by adding the synchronizing information, which are used for a signal processing in a device, to the virtual group signal by inverting the prescribed bit of a reserve bit part in the virtual group signal.

CONSTITUTION: For a fixed reserve byte, the bit is inverted by passing the fixed reserve byte through the inverter circuit of a reserve byte code part 11, converted to the frame synchronizing signal and sent to a switch part 2. The virtual group signal cross-connected at this switch part 2 is sent to an output interface part 3 and frame synchronization is obtained by the frame synchronizing signal inserted to a reserve byte position in this virtual group signal. Further, for this frame synchronizing signal, the bit is inverted again by passing the signal through the inverter circuit of a reserve byte decoder part 31, and returned to the original reserve bit.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-201837

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月3日

H 04 J 3/06
H 04 L 7/00Z 7925-5K
Z 8949-5K

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 デジタルクロスコネクト装置

⑮ 特 願 平1-343465

⑯ 出 願 平1(1989)12月28日

⑰ 発 明 者 大 原 克 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 小林 隆夫

明 細 書

1 発明の名称

デジタルクロスコネクト装置

2 特許請求の範囲

仮想群信号中のリザーブビット部の所定ビットを反転することで、装置内での信号処理に用いる同期情報を該仮想群信号に付加するように構成されたデジタルクロスコネクト装置。

3 発明の詳細な説明

【概要】

SONET規格の仮想群信号をクロスコネクトするデジタルクロスコネクト装置に関し、

装置内信号周波数の上昇、あるいはメモリ使用によるハードウェア規模の増大と信号遅延などを抑制しつつ、仮想群信号にフレーム同期信号等の同期情報を付加することを目的とし、

仮想群信号中のリザーブビット部の所定ビットを反転することで、装置内での信号処理に用いる

同期情報を仮想群信号に付加するように構成される。

【産業上の利用分野】

本発明はSONET(Synchronous Optical Network)規格の仮想群(VT)信号をクロスコネクトするデジタルクロスコネクト装置に関する。

かかるデジタルクロスコネクト装置では、VT信号をクロスコネクトする時にはクロスコネクト後のVT信号中のV5バイトを際しだすためVT信号のフレーム同期をとる必要があるが、VT信号自体はフレーム同期信号を持たないので、何等かの方法でVT信号に装置内で使用するフレーム同期信号を付加することが必要とされる。

【従来の技術】

第4図にはSONET規格のVT信号のフレームフォーマットが示される。VTフレームフォーマットは、V1、V2、V3、V4の4つのVT

ベイロードポインタ部と、それぞれが a バイトの 4 つのデータ部からなり、データ部のバイト数 a は、VT1.5 サイズでは $a = 26$ 、VT2 では $a = 35$ 、VT3 では $a = 53$ 、VT6 では $a = 107$ である。

このデータ部に載せられるデータは、例えば VT1.5 フレームの場合は第 5 図に示されるようなフォーマットの 104 バイトのデータであり、このデータが 4 分割されて VT1.5 フレームの各データ部に分散配置されるものである。第 5 図において、1 は情報ビットを、0 はオーバーヘッドビットを、C はスタッフ制御ビットを、S はスタッフビットを、R はリザーブビット（固定スタッフビット）をそれぞれ表す。

以上のように、これら S O N E T 規格の VT 信号にはフレーム同期信号が存在していない。このため、これをクロスコネクトするには、何等かの方法によりフレーム同期信号を付加しなければならない。この方法としては、例えば第 6 図に示されるように、VT フレームフォーマットの外側に

付加バイトとしてフレーム同期信号を付け加える方法などが考えられる。

〔発明が解決しようとする課題〕

上述のフレーム同期信号を付加バイトとして VT フレームに付け加える方法の場合、装置内で取り扱う信号周波数が高くなってしまふ。例えば VT1.5 フレームの場合、信号周波数は 1.728 M bps であるが、フレーム同期信号を付加した場合には $(1.728 \text{ M} + a) \text{ bps}$ となってしまふ。

またフレーム同期信号を付加するための処理を行う際には、VT フレームを一旦メモリに格納する必要がある。そのためのメモリが必要となる。このことは、ハードウェア規模を大きくする原因となるだけでなく、メモリへの読み書きのために信号を遅延させることともなり、望ましくない。

したがって本発明の目的は、装置内信号周波数の上昇、あるいはメモリ使用によるハードウェア規模の増大と信号遅延を抑制しつつ、VT 信号に

フレーム同期信号等の同期情報を付加することにある。

〔課題を解決するための手段〕

第 1 図は本発明に係る原理説明図である。

本発明に係るデジタルクロスコネクト装置は、仮想群信号中のリザーブビット部の所定ビットを反転することで、装置内での信号処理に用いる同期情報を仮想群信号に付加するように構成される。

〔作用〕

本発明では、仮想群信号中のリザーブビット部分（ここでは例えば第 5 図に斜線で示した 8 ビットからなるリザーブバイトを用いるものとする）にフレーム同期信号やパス確認のためのパス ID などの同期情報を挿入して装置内で使用する。

ただしこのリザーブバイトは VT フレーム中に存在するパリティビットの計算に含まれているため、これを固定的な同期情報で単に置き換えた

けでは、回線エラー等によるエラービット発生でリザーブバイトの内容が変わった場合、トランスペアレンシーが保たれなくなる。

すなわち、例えばリザーブバイトの内容が本来“00000000”の固定データであるところが、回線エラーによりこれが“00000010”となった場合、クロスコネクト装置はこれをそのままクロスコネクトすることを要求される。ところが、装置入力側でリザーブバイトを例えば固定的なフレーム同期信号“11000010”で置き換えて装置内でのフレーム同期に使用し、出力側でこのリザーブバイトの内容を本来の固定データ“00000000”に再び置き換えるような操作を行うと、回線エラーによるデータ“00000010”が出力側で“00000000”に変えられてしまうことになるので、トランスペアレンシーが保たれなくなる。

そこで、本発明ではこれを防ぐため、リザーブバイト中の所定ビットを反転することで、同期情報を作り出して装置内で使用するようにしてお

り、使用後は当該所定ビットを再び反転することで元のリザーブバイトに戻して装置から出力している。

例えばフレーム同期信号が“11000010”であれば、リザーブバイトが“00000000”に固定されていることを利用して、リザーブバイトのMSB側から1ビット目、2ビット目、7ビット目をそれぞれ反転してフレーム同期信号を作り出す。そしてフレーム同期をとった後で、それら反転したビットをもう一度反転することにより元のリザーブバイトに戻す。

このようにすることで、例えばリザーブバイトが回線エラーで“00000010”となっていた場合も、これを反転することで“11000000”とし、これをクロスコネクト後、再び反転することで“00000010”が得られるものであるから、回線エラーはそのままデジタルクロスコネクト装置を通過し、トランスペアレンシーが保たれることになる。この場合、“11000000”はフレーム同期信号と異なるが、適

図に斜線で示されたバイト部分)を装置内フレーム同期信号に符号化してスイッチ部2に送出するように構成されている。また出力側インタフェース部3にはリザーブバイト復号化部31が備えられ、このリザーブバイト復号化部31はクロスコネクト後のVT信号中のリザーブバイト位置に挿入されたフレーム同期信号を元のリザーブバイトに復号化するように構成されている。なおここで、装置内でのフレーム同期信号のパターンとしては“11000010”を用いるものとする。

これらリザーブバイト符号化部11およびリザーブバイト復号化部31は、第3図に示されるように、それぞれインバータ回路12、32で構成することができる。リザーブバイト符号化部11のインバータ回路12は3つのインバータ素子で構成され、これらのインバータ素子はリザーブバイト中のMSB側から1ビット目、2ビット目、7ビット目をそれぞれ反転するように挿入されており、他のビットはそのまま通過させるよう

当な段数のフレーム同期保護を行えば、問題とはならない。

【実施例】

以下、図面を参照して本発明の実施例を説明する。

第2図には、本発明の一実施例としてのデジタルクロスコネクト装置の概略構成が示される。図中、1は伝送路からのDS1等の伝送路信号を受信してVT1.5等のVT信号に変換する入力側インタフェース部、2はクロスコネクトを行うスイッチ部、3はクロスコネクト後のVT信号を元の伝送路信号に変換して伝送路に出力する出力側インタフェース部である。ここでは入力側インタフェース部1と出力側インタフェース部3はそれぞれ一つのみが示されているが、実際にはこれらは複数備えられているものである。

入力側インタフェース部1にはリザーブバイト符号化部11が備えられ、このリザーブバイト符号化部11はVT信号中のリザーブバイト(第5

になっている。

同様にリザーブバイト復号化部31側のインバータ回路32も3つのインバータ素子で構成され、これらのインバータ素子はクロスコネクト後のVT信号のリザーブバイト中のMSB側から1ビット目、2ビット目、7ビット目をそれぞれ再反転するように挿入されており、他のビットはそのまま通過させるようになっている。

この実施例装置の動作が以下に説明される。

ここで、リザーブバイトは“00000000”の固定値である。この固定リザーブバイトはリザーブバイト符号化部11のインバータ回路12を通過することで、その1、2、7ビット目が反転されて“11000010”のフレーム同期信号に変換され、スイッチ部2に送られる。

このスイッチ部2でクロスコネクトされたVT信号は出力側インタフェース部3に送られ、このVT信号中のリザーブバイト位置に挿入されたフレーム同期信号でフレーム同期がとられ、さらにこのフレーム同期信号はリザーブバイト復号化部

31のインバータ回路32を通ることで、その1、2、7ビット目が再反転されて、元のリザーブビット“00000000”に戻される。

ここで入力インタフェース部1でのリザーブバイトが回線エラーによりエラービットを含み、“00000000”でなくなった場合にも、前述のように、リザーブバイト復号化部31では、元のエラービットを含むリザーブバイトを復元することができ、トランスペアランシーが保証されることになる。

この場合、フレーム同期信号のパターンは崩れることになるが、フレーム同期保護回路を設けておけば、エラーレートが小さい場合には問題とはならない。

なおエラーレートが大きい場合（例えば10%程度）には、クロスコネクト後にフレーム同期がとれないためVT信号すべてをオール“1”にして送る。このような場合には当然、トランスペアレンシーの保存は保証されなくなるので、本発明ではこの場合までは考慮していない。

線エラー時にもトランスペアランシーを保存したままクロスコネクトすることができる。

4 図面の簡単な説明

第1図は本発明に係る原理説明図。

第2図は本発明の一実施例としてのデジタルクロスコネクト装置の概略構成を示すブロック図。

第3図は実施例装置におけるリザーブバイト符号化部および復号化部を示す図。

第4図はVT信号のフレームフォーマットを示す図。

第5図はVT信号のデータ部に載せられるデータのフレームフォーマットの一例を示す図。および

第6図は従来のフレーム同期信号付加方法を説明する図である。

図において、

1・・・入力側インタフェース部

2・・・スイッチ部

本発明の実施にあたっては種々の変形形態が可能である。例えば上記では本発明をVT1.5のVT信号に適用した場合について説明したが、本発明はこれに限られるものではなく、例えばVT2、VT3、VT6のVT信号に対しても同様に適用できるものである。また、リザーブバイトに挿入する情報としてフレーム同期信号を挿入する場合について説明したが、これに限らず、バスIDなどの他の同期情報を挿入することも可能である。

【発明の効果】

以上に説明したように、本発明によれば、VT信号にフレーム同期信号等の同期情報を付加するにあたり、その付加処理により装置内で取り扱う信号の周波数が上がってしまうといったことを防止できる。また付加処理用のメモリ回路が不要となるので、信号遅延やハードウェア規模の増大を防止できる。さらに、同期情報をリザーブビット部中のビットの反転で作るようにしたことで、回

3・・・出力側インタフェース部

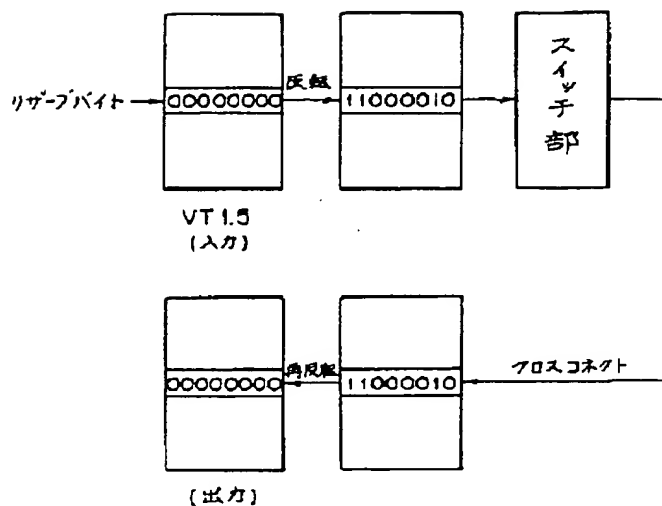
11・・・リザーブバイト符号化部

12、32・・・インバータ回路

31・・・リザーブバイト復号化部

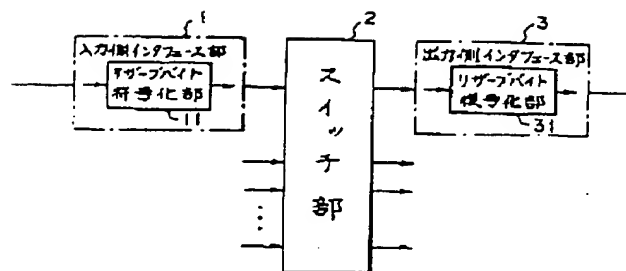
特許出願人 富士通株式会社
出願代理人 弁理士 小林 隆夫





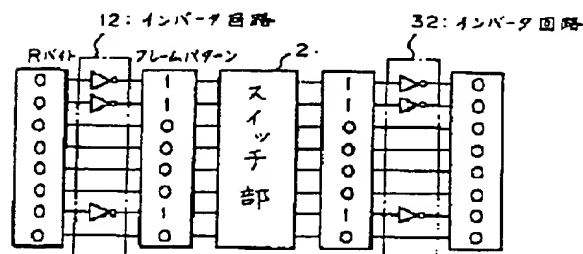
本発明に係る原理説明図

第 1 図



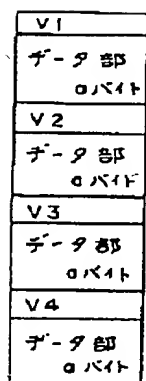
本発明の実施例の概略構成

第 2 図



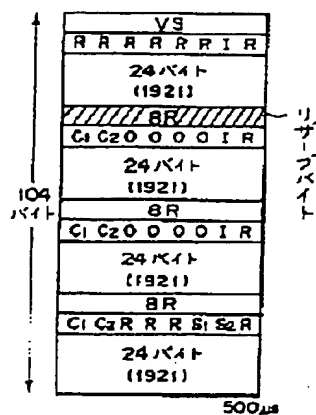
符号化部および復号化部の構成例

第 3 図



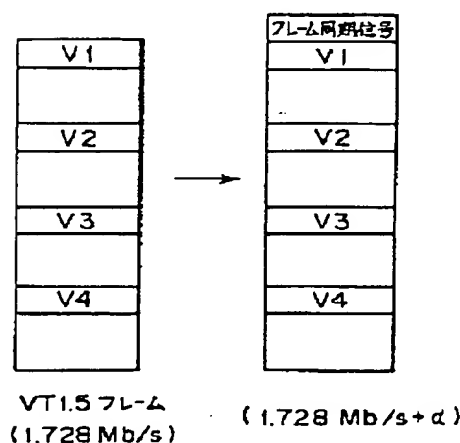
VT フレームフォーマット

第 4 図



VT1.5 フレームの
データフォーマット

第 5 図



VT1.5 フレーム
(1.728 Mb/s) (1.728 Mb/s+d)

従来のバイト付加の方法

第 6 図